

## ⑫ 公開特許公報(A) 平3-62551

⑬ Int.Cl.<sup>3</sup>  
H 01 L 21/82

識別記号 庁内整理番号

⑭ 公開 平成3年(1991)3月18日

8225-5F H 01 L 21/82  
8225-5FL  
B

審査請求 未請求 請求項の数 2 (全9頁)

⑮ 発明の名称 スタンダードセル及びスタンダードセル列

⑯ 特 願 平1-197606

⑰ 出 願 平1(1989)7月28日

⑱ 発 明 者 奥 村 孝 一 郎 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 発明の名称

スタンダードセル及びスタンダードセル列

## 特許請求の範囲

1. 半導体基板上に形成される能動素子領域と、この能動素子領域の両側を挟んで形成される第1層配線メタルである電源線及び接地線と、前記能動素子間を配線する前記第1及び第2層配線メタルとを有するスタンダードセルにおいて、前記能動素子領域が前記電源線及び前記接地線より外側領域に延在し、この外側領域には前記第1及び前記第2層配線メタルが存在しないことを特徴とするスタンダードセル。
2. 半導体基板上に複数の請求項1のスタンダードセルを並べ方向に伸びるセル列に形成し、このセル列中に所定の間隔で少なくとも一個の割合で配置されるとともに前記電源線と前記接地線及

び前記半導体基板層並びにウェル層とを接続するための基板コンタクトセルとを有することを特徴とするスタンダードセル列。

## 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は半導体基板上に形成されるスタンダードセル及びスタンダードセル列に関し、特に面積の利用率を改善し、高集積度が得られるように、MOSFETなどの半導体能動素子の素子形成領域の上層を配線チャネル領域として利用した集積回路用のスタンダードセル及びスタンダードセル列に関する。

## 〔従来の技術〕

集積回路を半導体基板上に高集積度に形成するレイアウト技術において、例えば、インバータ、NAND、NOR等の一つの回路機能ブロックを有し、そして、これら回路機能ブロックが同じ高さで同一の矩形領域内に収まるようにレイアウト設計されたセル（以下スタンダードセル）を準備

しておき、これらのスタンダードセルを列状に並べて配置し、これらのスタンダードセル間に配線を行なうことによりチップ全体のレイアウトを完成するスタンダードセル方式と呼ばれる技術が知られている。

また、この技術は、コンピュータ制御により自動的にレイアウト設計するのに適していることから、最近広く使用される方法である。

第3図(a)、(b)及び(c)は従来のスタンダードセルの例を示すマスクパターン図である。第3図(a)は2入力NAND回路のスタンダードセルで、第3図(b)はインバータ回路のスタンダードセルで、第3図(c)はセル列中の貫通配線用セルである。ここで、これらの図面の中で、共通に、300はセルの外枠、311はN型ウェル、312はP型拡散層、313はN型拡散層、314はポリシリコン、315はP型拡散層312あるいはN型拡散層313と第1層配線メタル間のコンタクトホール、316はポリシリコン314と第1層配線メタル間のコンタクトホール、

317a、317b及び317cは第1層配線メタル、318は第1層配線メタルと第2層配線メタル間のスルーホール、319aは入力端子用の第2層配線メタル、319bは出力端子用の第2層配線メタル、320は電源線である第1層配線メタル317aとN型ウェル311とのコンタクトホール、321は接地線である第1層配線メタル317bとP型半導体基板とのコンタクトホールをそれぞれ示している。

このように従来のスタンダードセルは、電源線及び接地線は、第3図(a)及び(b)に示すように、セルの両側に第1層配線メタル317a及び317bとして配置されていた。すなわち、回路機能を構成するMOSFET(Metal Oxide Semiconductor Field Effect Transistor)などの能動素子は、電源線と接地線の間に挟まれて配置されている。また、この電源線、接地線及びセル内部の配線は、第1層配線メタル317a、317b及び317cが用いられ、セルへの信号入力及びセルからの信号出力する端子及び配線は第2

層配線メタル319a及び319bとして配置されている。

第4図はセル列で構成される加算回路の一例を示す回路図、第5図は第4図の加算回路を2回路使用した2ビット加算回路である従来のスタンダードセルのレイアウト図である。この第5図に示したスタンダードセルは、第4図に示した加算回路を2回路を組み合わせて、従来のレイアウト技術によりレイアウト設計したものである。

第4図に示す加算回路は、加算数A<sub>i</sub>、被加算数B<sub>i</sub>及び下位桁(この場合では第i-1桁)から送られるC<sub>i</sub>のそれぞれの信号を入力するインバータ回路402と、加算結果を出力する2入力NAND回路401と、上位桁(この場合では第i+1桁)への桁上げ信号C<sub>i</sub>を出力する3入力NAND回路403とで構成されている。

第5図は加算回路スタンダードセルのレイアウト図で、A<sub>1</sub>、B<sub>1</sub>、C<sub>1</sub>及びS<sub>1</sub>は、それぞれ第1桁目の加算数、被加算数、桁上げ及び加算結果の各信号電圧を示し、A<sub>2</sub>、B<sub>2</sub>、C<sub>2</sub>及びS

2は、それぞれ第2桁目の加算数、被加算数、桁上げ及び加算結果の各信号電圧を示す。また、第1桁目が最下位ビットであるため、桁上げ信号電圧C<sub>0</sub>は常に0である(ロウレベルである)。

一方、第1桁目及び第2桁目を構成する2入力NANDセル501、インバータセル502及び3入力NANDセル503は横方向に一行に並べて配置され一つのセル列を形成している。また、これらの各セル列の間隙は、セル間の配線チャンネルとして使用される。すなわち、実線で示すセル列と平行に伸びる配線は、第1層配線メタル517で、破線で示したセル列に対して垂直に伸びる配線は第2層配線メタル519で、この配線が交じわる点が、第1層配線メタル517と第2層配線メタル519とを連結するスルーホール518である。

このセル列中に配置されている貫通配線用セル504は、破線で示すように、セル列中を垂直方向に配線が貫通する場合に配置されるものである。この貫通配線用セルは、第3図(c)に示すよう

に、他のセルと合せて両端に電源線である第1層配線メタル317aと接地線である第1層配線メタル317bとが配置され、セル内部には能動素子が存在せず、セル列に対して垂直方向に第2層配線メタルが1セルにつき一本のみ貫通できる構成になっている。

また、貫通配線用セルは、第5図に示すような比較的簡単な構成であるスタンダードセルアレイでは、使用頻度が少ないが、セル列が多数並べて配置されるような大規模なスタンダードセルアレイでは、セル列を飛び越えて結線する必要が頻繁に生じるため、この貫通配線用セルが多数用いられる。

このように、スタンダードセル方式によるレイアウト設計は、あらかじめ設計されたスタンダードセルを並べて配置することによってセル列を作成し、このセル列間の配線チャンネルにおいて、結線する配線の方向により導体の種類が定まっているため、レイアウトが単純であり、コンピュータプログラム制御し易いといった利点がある。

インバータセルのNチャンネルMOSFET部に見られるように、セル内部に無駄な領域が生じたり、あるいは、スタンダードセルの要求される遅延特性に対応するために、セルの縦方向の異なるセルシリーズを幾種類も作成しなければならず、設計時間に多大な工数を費やしたり、セル設計の柔軟性に欠けるという欠点がある。

本発明の目的は、かかる欠点を解消するスタンダードセル及びスタンダードセル列を提供することにある。

#### 〔課題を解決するための手段〕

1. 本発明のスタンダードセルは、半導体基板上に形成される能動素子領域と、この能動素子領域の両側を挟んで形成される第1層配線メタルである電源線及び接地線と、前記能動素子間を配線する前記第1及び第2層配線メタルとを有するスタンダードセルにおいて、前記能動素子領域が前記電源線及び前記接地線より外側領域に延在し、この外側領域には前記第1及び前記第2層配線メタルが存在しないことを特徴としている。

#### 〔発明が解決しようとする課題〕

しかしながら、上述した従来のスタンダードセル方式のレイアウト設計された集積回路では、例えば、第5図に示すように、セル列より外部領域のMOSFETなどの能動素子が存在しない領域に配線チャンネルを設ける必要がある。このため、配線チャンネルの占る面積が大きくなると、集積回路の集積度を阻害するといった欠点がある。すなわち、セル間の結線が複雑になればなるほど、この配線チャンネルの占る領域が拡大し、集積回路が形成された半導体チップサイズが増大する欠点となる。また、集積度が低くくても、高価で売れることの出来る特殊の分野の集積回路以外には採用しにくいという欠点があった。

また、従来のスタンダードセルにおいては、能動素子が電源線と接地線と挟まれた領域に配置されていたので、セルに対する遅延特性に従って、内部の能動素子の駆動力を調整し、最適の素子寸法とそれに適合したセル外形にすることが困難であった。例えば、第3図(b)に示すように、イ

2. 本発明のスタンダードセル列は、半導体基板上に複数の請求項1のスタンダードセルを並べ方向に伸びるセル列に形成し、このセル列中に所定の間隔で少なくとも一個の割合で配置されるとともに前記電源線と前記接地線及び前記半導体基板層並びにウェル層とを接続するための基板コンタクトセルとを有している。

#### 〔実施例〕

次に、本発明について図面を参照して説明する。

第1図(a)、(b)及び(c)は本発明のスタンダードセルの実施例を示すマスクパターン図である。第1図(a)は2入力NAND回路のスタンダードセルで、第1図(b)はインバータ回路のスタンダードセルで、第1図(c)は貫通配線用セルを兼用する基板コンタクト用セルのスタンダードセルである。

また、これら図中で、共通して、111はNウェル、112はP型拡散層、113はN型拡散層、114はポリシリコン、115はP型拡散層11

2あるいはN型拡散層113と第1層配線メタル117a、117b及び117cとのコンタクトホール、116はポリシリコン114と第1層配線メタル117cとのスルーホール、118は第1層配線メタル117cと第2層配線メタル119bとのスルーホール、119aは入力端子である第2層配線メタル、119bは出力端子である第2層配線メタル、120は電源線である第1層配線メタル117aとNウェルとのコンタクトホール、121は接地線である第1層配線メタル117bとP型半導体基板とのコンタクトホール、100は貫通配線用セルの外枠であるセルの第1外枠、101は2入力NAND回路セルの外枠及びインバータ回路セルの外枠であるセルの第2外枠である。

本発明のスタンダードセルの実施例は、第1図(a)及び(b)に示すように、電源線及び接地線である第1層配線メタル117a及び117bとの間で、セルの第1外枠100内に、セルに含まれる機能素子であるMOSFET相互間の配

また、本発明のスタンダードセルは、上述した機能素子間の相互配線を電源線及び接地線内に含ませて配置することによって、電源線及び接地線より外側の領域まで、NチャンネルMOSFET及びPチャンネルMOSFETが延在することが出来るようになる。このことが、セルの第2の外枠がこれら延在するMOSFETを含んで定義されることが従来のスタンダードセルと大きく違う点である。

さらに、集積回路を構成するために用いられる一連のスタンダードセル群において、セルの第1外枠100の縦寸法は一定であると上述したが、セルの第2外枠101の縦方向の寸法は一定でなく、第1図(a)及び(b)に示すように、異なってもよい。このことは、セルの回路機能及び要求される遅延特性によりPチャンネルMOSFET及びNチャンネルMOSFETの寸法設計がセルの寸法に制約されないという従来のスタンダードセルにない第1の利点があると言える。

また、そればかりでなく、セルの第2の外枠1

線を配置したことである。従って、この電源線と接地線との間隔およびセルの第1外枠100の縦方向の寸法は、対象とするセル群を構成するために必要なMOSFETの相互間の配線本数により決定される。

例えば、本実施例のようなインバータあるいは2入力NAND回路セルの場合では、NチャンネルMOSFET側とPチャンネルMOSFET側に、それぞれ1本ずつの第1層配線メタル用チャンネルを電源線及び接地線である第1層配線メタル117aと117bとの間に設ければよい。逆に、これを満足するために、電源線と接地線との間隔、セルの第1外枠100の寸法を決めることである。

一方、上述した回路より複雑な回路機能をもつスタンダードセルの場合でも、この回路を構成するために必要なセル内のMOSFETの相互結線に必要な配線チャンネル数により、電源線と接地線の間隔及びセルの第1外枠100の寸法を決定し、それを一連のセル群に適用すればよい。

01内部においても、セルの第1の外枠100の外側領域であれば、セル間の結線のための配線チャンネルとして使用出来るので、集積回路が形成される半導体チップのサイズの縮小を図ることが出来る第2の利点がある。

このように、電源線及び接地線の間隔に配置されるスタンダードセル群のセル内の結線に必要な横方向第1層配線メタルの最小寸法を満たすように定め、MOSFETなどの能動素子を電源線及び接地線の外側領域まで延在させることにより、スタンダードセルの電源線と接地線とで挟まれる実効的なセル高さ寸法を低減するとともに能動素子の寸法を独立して設計し得る。

一方、このスタンダードセルを実現するためには、拡散層の抵抗を低減する集積回路製造技術が前提となる。従来のスタンダードセルにおいては、例えば、第3図(a)に示すように、MOSFETに対して直列抵抗となる拡散層上に、コンタクトホールを密に設けることにより拡散抵抗を減らし、遅延特性の劣化を防止している。しかし、本

発明のスタンダードセルにおいては、特に電源線、接地線の外側領域に設けられたMOSFETの拡散層の部分には、配線チャンネルとして使用するため、コタクトホールを設けることが出来ない。このために、本発明のスタンダードセルは、この拡散抵抗を公知技術により低抵抗化を図ることによって実現し得る。

この公知技術として、例えば、第31回応用物理学関係連合講演会予稿集(1984)の頁442の30a-u-6及び30a-u-7には、シリコン基板に形成したチタンシリサイド膜について、あるいは、第33回応用物理学関係連合講演会予稿集(1986)の頁502の2a-p-4には半導体の不純物拡散層上にタングステンシリサイドを形成して低抵抗を図る方法が記載されている。

第2図は本発明のスタンダードセルを用いて構成された複数のセル列の一実施例を示すレイアウト図である。次に、前述したスタンダードセルで第5図に示した加算回路を構成する複数のスタン

ダードセル列について述べる。

このスタンダードセル列は、同図に示すように、第5図に示した従来例の第1桁目及び第2桁目を構成するスタンダードセルである2入力NANDセル201、インバータセル202、3入力NANDセル203が横方向に一行に配列されセル列を構成し、このセル列中に、ほぼ一定間隔で、第1図(c)に示す基板コンタクトセルを挿入したことである。

また、それぞれのセル列は、これを構成するセルが隣接するセルの第1外枠100の両側端が互いに一致するように並べ配置し、電源線及び接地線である第1層の配線メタルを一直線になるように平行に配置したことである。さらに、セル間の配線である第1層配線メタル217及び第2層配線メタル219の大多数は、セルの第2外枠101内で、かつ、セルの第1の外枠100の外部領域に配置されている。ただ、例外的に、不足分の配線が、第1セル列と第2のセル列におけるセルの第2の外枠の間に専用の第1層配線チャンネル

を設けて結線されている。ここで、218は第1層配線メタル217と第2層配線メタル219間のスルーホールである。

一方、セルの第2の外枠101の内部領域は、それぞれのスタンダードセルのもつ回路機能を構成するために必要なMOSFET及びセル内のMOSFET間の配線がある領域であるが、その一部を配線チャンネルとして利用可能であることは、本発明のスタンダードセルの縦方向寸法を、スタンダードセル列のレイアウトにおいて、実質的にセルの第1の外枠100の縦方向寸法として取扱うことが出来ることである。すなわち、従来のセルが縦方向に縮小されたセルに置換されたとみなすことができる。

このことは、すでに前述したように、本発明のスタンダードセルを用いて、複数のセル列を構成し、これらを平行に配置してセル間を訪線してなるスタンダードセルアレイの占有面積が小さいこと、およびこれもすでに述べたが、セルの第2の外枠101の縦方向の寸法が自由であるため、セ

ル内のMOSFETの寸法設計に柔軟性があるという二つの利点がある。

また、第5図に示した従来のセルの外枠300を本発明のセルの第1の外枠100に縮小したものと置き換えてレイアウト設計を逆行出来るので、従来と同様にコンピュータ制御し易いという利点もある。すなわち、本発明のセルアレイの設計の際に、従来のセルアレイ設計で使用したコンピュータ制御の配置配線プログラムに追加する機能は、セルの第2外枠の重なりの有無を検査し、重なりのある場合は取除くようにセル列を上下方向に移動する機能であるが、このような状況はセル間配線が極度に疎である場合が多く、通常、このような場合は生じない。

さらに、本発明のスタンダードセル列では、セル列中に基板コンタクトセルが挿入されることを述べたが、これによる横方向の寸法の増大も実質上無視出来る。何故ならば、前述したように、大規模なスタンダードセルアレイにおいては、従来のスタンダードセル列で構成しても、セル列中に

貫通配線用セルを多数設けており、例えば、2000ゲートをもつスタンダードセルアレイでは、通常、平均的に2〜3セルに1個程度の貫通配線用セルが挿入されている。この挿入される貫通配線用セルの数は、本発明のスタンダードセル列中に挿入される基板コンタクトセルの必要数の5〜7倍程度に相当する。このことは、基板コンタクトセルと貫通配線用セルとを兼用することによって吸収されてしまうからである。

このように、本発明のスタンダードセルを横方向に複数並べ配置し、セル数個おきに基板コンタクトセルを挿入し、スタンダードセル列を形成し、このスタンダードセル列を複数列を平行に並べてスタンダードセルアレイを構成する。また、各セル列の電源線と接地線とで挟まれた領域の外側に、能動素子の有無にかかわらずセル間の配線チャンネルとして使用し、さらに、基板コンタクトセルを縦方向のセル列貫通配線用セルと兼用することにより、従来のレイアウトによるスタンダードセルアレイと比較して、実質的にセル列の横方向の寸

法を増大することなく、セル列間の配線専用の配線チャンネルを低減した高密度の2次元スタンダードセルアレイが実現し得る。

#### 〔発明の効果〕

以上説明したように本発明は、電源線及び接地線に挟まれた領域の外側領域にも能動素子を延在させることによって、セル高さ一定という拘束を受けることなく、従来のコンピュータ制御による配置配線プログラムが流用してセル設計が出来るとともにより占有面積の小さいスタンダードセルが得られるという効果がある。

また、セル列中に電源線及び接地線とウェルまたは基板を連結するために、専用の基板コンタクトセルをセル列中に挿入すること、及びセル列と平行に伸びる電源線及び接地線の外側領域をスタンダードセル間の相互結線のための配線チャンネルとして使用することによって、従来のコンピュータ制御による配置配線プログラムが流用することが出来るとともに実質的にセル列の横方向の寸法を増大することなく縦方向が縮小された高密度

のスタンダードセル列が得られるという効果がある。

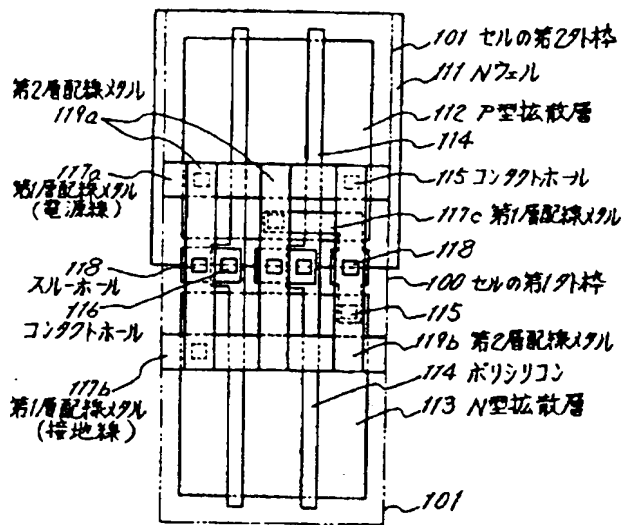
#### 図面の簡単な説明

第1図(a)、(b)及び(c)は本発明のスタンダードセルの実施例を示すマスクパターン図、第2図は本発明のスタンダードセルを用いて構成された複数のセル列の一実施例を示すレイアウト図、第3図(a)、(b)及び(c)は従来のスタンダードセルの例を示すマスクパターン図、第4図はセル列で構成される加算回路の一例を示す回路図、第5図は第4図の加算回路を2回路使用した2ビット加算回路である従来のスタンダードセルのレイアウト図である。

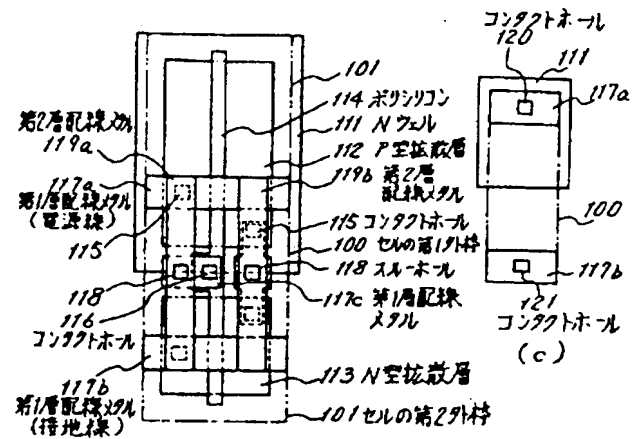
100…セルの第1外枠、101…セルの第2外枠、111、311…Nウェル、112、312…P型拡散層、113、313…N型拡散層、114、314…ポリシリコン、115、116、120、121、315、316…コンタクトホール、117a、217a、317a…第1層配

線メタル(電源線)、117b、217b、317b…第1層配線メタル(接地線)、117c、217、317c、517…第1層配線メタル、118、218、318、518…スルーホール、119a、119b、219、319a、319b、519…第2層配線メタル、201、501…2入力NANDセル、202、502…インバータセル、203、503…3入力NANDセル、204…基板コンタクトセル、504…貫通配線セル、401…2入力NAND回路、402…インバータ回路、403…3入力NAND回路。

代理人 弁理士 内 原 晋

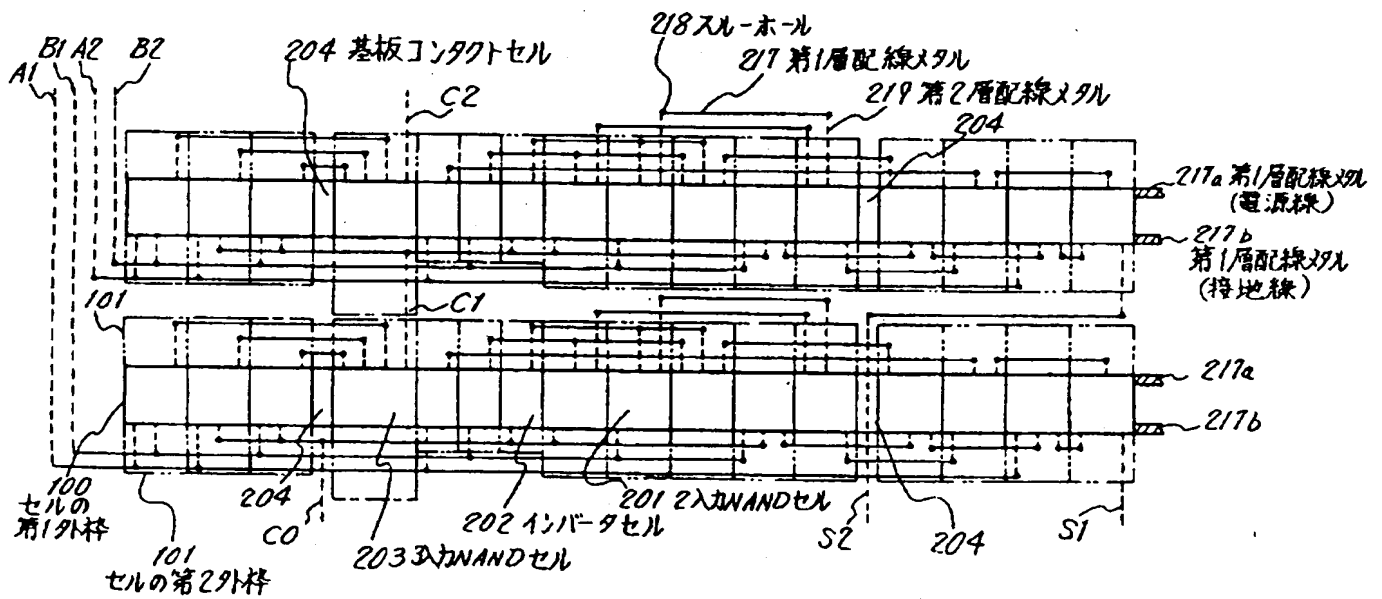


第 1 図 (a)

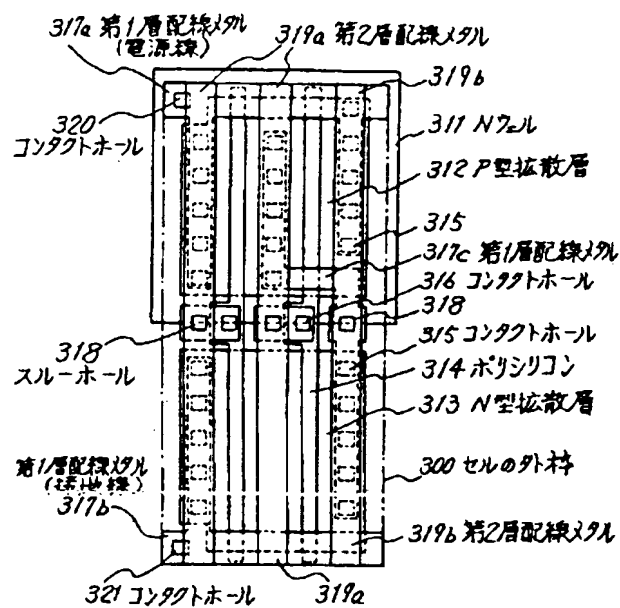


(b)

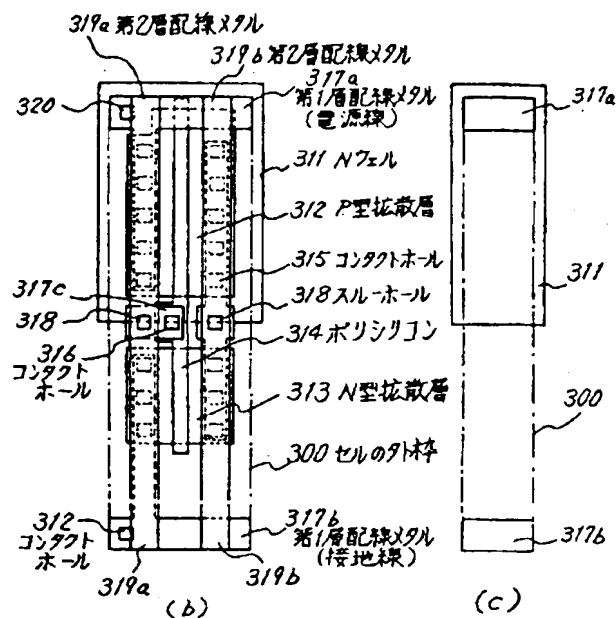
第 1 図



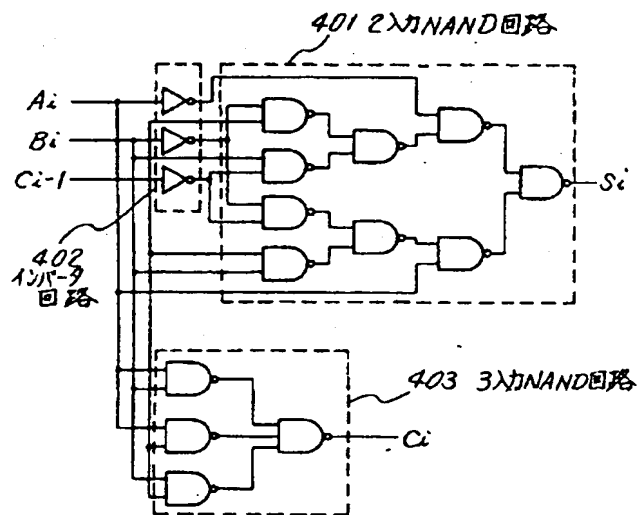
第 2 図



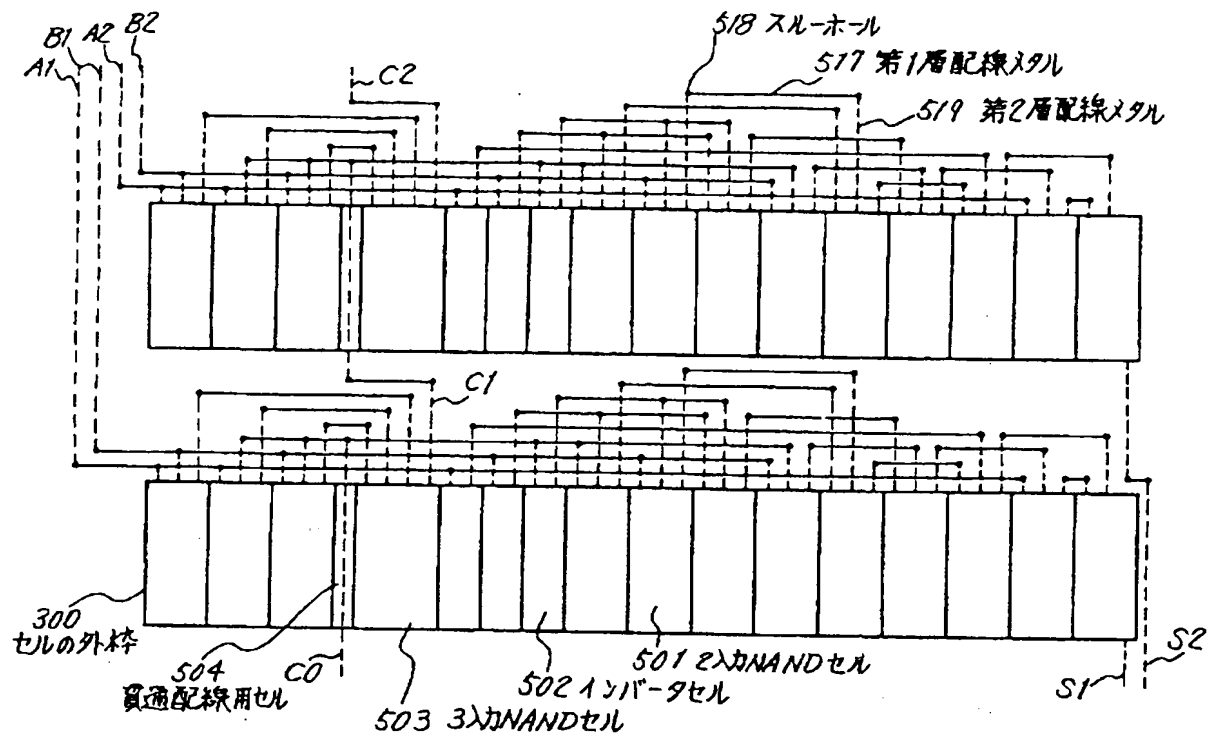
第3図(a)



第 3 図



第 4 図



第5図